

KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication

00225398 B1

number:

(43)Date of publication of application:

19.07.1999

(21)Application number: 950046106 (71)Applicant: LG ELECTRONICS INC.
(22)Date of filing: 01.12.1995 (72)Inventor: BAEK, YEONG SANG

(51)Int. Cl H01L 21/60
H01L 21/321

(54) BONDING STRUCTURE AND METHOD OF SEMICONDUCTOR BUMP

(57) Abstract:

PURPOSE: A bonding structure of a semiconductor bump is provided to solve problems of electric short circuit in applying to a driving device structured of a fine pitch and to lower contact resistance.

CONSTITUTION: An aluminium pad(12) is formed on a semiconductor substrate(11). A protective film(13) is formed over the semiconductor substrate(11) by using a silicon oxide film or a silicon nitride film and then photo engraved to expose the pad(12). The protective film(13) is left around the pad(12). Ti, Pd and Au are laminated in sequence on the surfaces of the exposed pad(12) and the protective film(13). A photoresist pattern is formed on the laminated layers of Ti, Pd and Au. The photoresist pattern is used to form a bump(15) via an electroplating and then removed. A diffusion resistant layer(14) is photoetched, and then a heat treatment is performed. An insulating film of polymer or silicon nitride is formed on the bump(15), the exposed diffusion resistant layer(14) and the protective film(13). A photoresist is coated on the insulating film(16) and a photoresist pattern(21) is formed to define a contact area(A) on the bump(15). The photoresist pattern(21) is etched to expose the contact

area(A) and then removed thereby to complete a semiconductor substrate bump.

COPYRIGHT 2001 KIPO

Legal Status

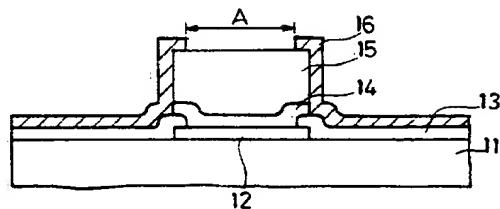
Date of request for an examination (19951201)

Final disposal of an application (registration)

Date of final disposal of an application (19990224)

Patent registration number (1002253980000)

Date of registration (19990719)



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H01L 21/60 H01L 21/321	(45) 공고일자 1999년10월15일 (11) 등록번호 10-0225398 (24) 등록일자 1999년07월19일
(21) 출원번호 10-1995-0046106	(65) 공개 번호 특 1997-0053159
(22) 출원일자 1995년12월01일	(43) 공개일자 1997년07월29일
(73) 특허권자 엘지전자주식회사 구자홍	
(72) 발명자 서울특별시 영등포구 여의도동 20번지 백영상	
(74) 대리인 경기도 군포시 산본동 금강APT 908-2002호 양순석	

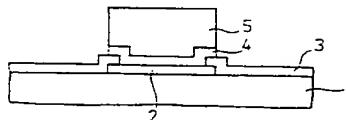
심사관 : 송위선

(54) 반도체 범프의 본딩구조 및 방법

요약

본 발명은 반도체 범프의 본딩구조 및 방법에 관한 것으로 반도체기판 위에 형성된 제1패드와, 상기 제1패드 위에 형성된 범프와, 상기 범프의 축면과 상부표면의 적어도 일부분에 형성된 절연막과, 상기 범프상축 표면에 분포하는 도전입자와, 상기 도전입자를 통해 상기 범프와 전기적으로 접속되는 제2패드로 구성됨을 특징으로 하며, 파인 피치의 소자 등에 적용이 용이하고, 부수적으로 콘택처함을 낮출 수 있는 이점을 가진다.

대표도



명세서

[발명의 명칭]

반도체 범프의 본딩구조 및 방법

[도면의 간단한 설명]

제1도는 종래의 반도체 기판 범프의 단면도.

제2도는 종래의 반도체 기판 범프의 실제 본딩 상태를 예시한 단면도.

제3도는 본 발명의 반도체 기판 범프의 구조와 제조방법의 각 공정을 예시한 단면도.

제4도는 본 발명의 반도체 기판 범프의 실제 본딩 상태를 예시한 단면도.

* 도면의 주요부분에 대한 부호의 설명

1, 11 : 기판	2, 12 : 패드
3, 13 : 보호막	4, 14 : 확산방지층
5, 15 : 범프	6, 17 : 도전성 볼
7, 18 : 접착물질	8, 20 : 액정기판
9, 19 : (액정기판의)패드	16 : 절연막
21 : 포토레지스트 패턴	

[발명의 상세한 설명]

본 발명은 반도체 범프(Bump)의 본딩 구조 및 방법에 관한 것으로, 범프를 이용한 본딩시 발생되던 전기적 단락 문제를 해결하기 위해 적합하도록 한 반도체 범프의 본딩 구조 및 방법에 관한 것이다.

범프를 이용한 본딩 방법은 주로 반도체 디바이스 페키지나, 액정표시소자(Liquid Crystal Display : LCD)의 구동 소자(IC) 실장시에 많이 쓰이는 기술로서, 본 명세서에는 주로 액정표시소자의 구동소자 실장을 예로 들

어 설명하겠다.

액정표시소자의 구동회로는 보통 별도의 회로 소자들을 액정표시소자의 박막 트랜지스터 어레이 기판에 연결하여 사용하는데, 이러한 구동소자 실장 기술에는 구동소자를 프린트기판(PCB : Printed Circuit Board)에 실장한 후 박막 트랜지스터 어레이 기판과 프린트기판을 연결하는 방법과, 플렉시블 테이프(flexible tape)에 구동소자를 실장한 후 박막 트랜지스터 어레이 기판과 플렉시블 테이프를 연결하는 방법과, 박막 트랜지스터 기판위에 구동소자를 직접 실장하는 방법(COG : Chip On Glass)등이 있다.

범프를 이용한 본딩 방법은 직접 실장 방법에서 주로 쓰이는 본딩 방법으로, 범프가 형성된 소자와 외부기판의 단자를 이방성 도전 필름(Anisotropic Conductive Film : 이하 ACF라 한다.)이나 이방성 도전 접착제(Anisotropic Conductive Adhesive : 이하 ACA라 한다.)와 같은 접착물질을 이용하여 본딩하는 것이다. 이러한 ACF나 ACA는 내부에 구경이 5 내지 7 μm 정도의 도전볼이 분포되어 있어서 도전성을 가지고 있다. 즉, 범프가 형성된 소자를 외부 기판에 실장할 때, 기판의 소자 실장 부위에 ACF나 ACA를 부착 내지 도포한 후, 범프가 형성된 소자를 압착시키면, ACF나 ACA에 내포된 도전볼을 통하여 소자와 기판이 서로 전기적으로 연결된다.

그런데, 반도체 소자의 크기가 점차 소형화되어감에 따라 소자에 형성된 범프들의 간격이 점점 가까워져서, 이웃하는 두 범프가 ACF나 ACA에 내포된 도전볼에 의해 서로 전기적으로 연결되어, 소자가 단락되는 문제점을 가지고 있었다.

제1도는 종래의 일반적인 범프의 구조를 나타내는 도면으로, 종래의 반도체 기판 범프는 구동소자가 형성된 기판(1)상에 형성된 패드(2)와, 패드(2)의 일부와 노출된 반도체 기판(1)위에 보호막(3)이 있다. 노출된 패드(2)와 패드위에 올라온 보호막(3)위에 확산방지층(4)이 형성되어 있으며, 확산방지층(4)의 상부에는 범프(5)가 형성되어 있는 구조를 가지고 있다.

제2도는 이러한 종래의 문제점을 설명하기 위해 예시한 것으로, 구동소자가 형성된 반도체 기판(1)을 박막 트랜지스터 기판(8)에 본딩할 때, 이웃하는 두 범프(5)가 접착물질(7)내의 도전볼(6)에 의하여 서로 전기적으로 연결되는 상태를 도시하고 있다.

이는 본딩 시, 박막 트랜지스터 기판(8)에 ACF나 ACA 등의 접착물질(7)을 접착 또는 도포한 후, 범프(5)가 형성된 반도체 기판(1)을 가압 가열하여 물리적으로 박막 트랜지스터 기판(8)에 본딩하는데, 이때, 범프(5)의 압력 또는 열에 의해 접착물질(7)이 범프사이에 공간으로 흘러 도전볼이 밀집되기 때문이다.

실제적으로 외부기판 단자와 전기적 접촉이 이루어지는 부위는 범프(5)의 상면인데, 그 측면까지 표면이 노출되어 있어서, 범프간 거리가 가까울 경우, 범프 사이 공간에 밀집된 접착물질에 포함된 도전볼이 이웃하는 두 범프를 서로 전기적으로 연결시켜 단락이 발생된다.

본 발명은 이를 해결하기 위하여 안출된 것으로, 반도체기판 위에 형성된 제1패드와, 상기 제1패드 위에 형성된 범프와, 상기 범프의 측면과 상부표면의 적어도 일부분에 형성된 절연막과, 상기 범프상측 표면에 분포하는 도전입자와, 상기 도전입자를 통해 상기 범프와 전기적으로 접속되는 제2패드로 구성됨을 특징으로 하는 반도체 범프의 본딩 구조이다.

또한, 본 발명은 반도체 기판 상에 범프를 형성하는 단계와, 상기 범프의 측면과 상부표면의 적어도 일부분에 절연막을 형성하는 단계와, 이방성 도전필름을 이용하여 상기 범프를 외부패드와 전기적으로 접속하는 단계를 포함하는 것을 특징으로 하는 반도체 범프의 본딩 방법이다.

이하, 본 발명을 첨부된 도면을 참조하여 설명하면 다음과 같다.

제3b도 및 3d도는 본 발명의 반도체 기판 범프의 실시예로서, 먼저, 제3d도와 같이, 구동소자가 형성된 반도체 기판(11)상에 형성된 패드(12)와, 패드(12)의 일부와 패드(12)가 형성되지 않는 반도체 기판(11)위에 형성된 보호막(13)이 있고, 패드(12)상부의 보호막(13)과 보호막(13)으로부터 노출된 패드(12)위에 확산방지층(14)이 형성되어 있고, 확산방지층(14)의 상부에는 범프(15)가 있으며, 범프 상면의 접촉영역(A)를 제외한 범프(15)상면의 일부, 측면, 노출된 확산방지층(14)의 측면 및 보호막(13)위에 절연막(16)이 있다. 이 때, 절연막(16)이 범프(15)상면의 가장영역에는 남아 있어서, 울타리 형상을 가진다.

또한, 제3b도와 같이, 범프(15)측면 뿐 아니라 상면에도 절연막(16)이 형성된 구조를 가질 수 있다.

제3도는 본 발명의 반도체 범프 제조방법의 실시예로서, 먼저, 제3a도와 같이, 구동소자가 형성된 반도체 기판(11)상에 알루미늄으로 패드(12)를 형성한 후, 패드(12) 및 반도체 기판(11)전면에 실리콘 산화막 또는 실리콘 질화막을 이용하여 보호막(13)을 형성하고, 사진식각하여 패드(12)를 노출시킨다. 이 때, 패드(12)의 가장자리에는 보호막(13)을 남긴다. 이어서, 노출된 패드(12) 및 보호막(13) 표면에 타이타늄(Ti), 팔라듐(Pd), 금(Au)을 차례로 적층한다. 이어서, Ti.Pd.Au 위에 패드 상부가 노출된 포토레지스트 패턴을 형성한다. 그리고, 포토레지스트 패턴을 이용하여 전기도금방법으로 금(Au)으로 범프(15)를 형성한 후, 포토레지스트 패턴을 제거한다. 이 때, 범프의 높이는 약 15 μm 정도이다. 이어서, 확산방지층(14)을 사진식각하여 범프하부에만 확산방지층(14)을 남긴후, 열처리 공정을 수행한다.

다음으로, 제3b도와 같이, 범프(15)와 노출된 확산방지층(14) 및 보호막(13)표면에 폴리머(polymer) 또는 실리콘 질화막을 화학기상증착(CVD) 또는 물리기상증착 또는 코팅방법으로 절연막(16)을 형성한다.

다음으로, 제3c도와 같이, 절연막(16)위에 포토레지스트를 도포한 후, 범프(15)상면의 접촉영역(A)를 정의하는 포토레지스트 패턴(21)을 형성한다.

다음으로, 제3d도와 같이, 포토레지스트 패턴(21)을 마스크로 절연막(16)을 식각하여 범프(15)상면의 접촉영역(A)을 노출시킨 후, 포토레지스트 패턴을 제거함으로써, 반도체 기판 범프를 제조한다.

또한, 제3b도의 범프(15) 상면과 측면에 절연막(16)을 형성하는 공정까지만을 진행하여 반도체 기판 범프를 제조할 수도 있다.

제4a도 및 4b도는 본 발명의 반도체 기판 범프를 이용하여 액정표시장치의 박막 트랜지스터 어레이

기판(20)에 구동소자가 형성된 반도체 기판(11)를 실장한 모습을 도시한 것이다.

제4a도는 제3d도에 도시된 반도체 기판 범프의 경우이고, 제4b도는 제3b도에 도시된 반도체 기판 범프의 경우를 각각 도시한 것이다.

제4a도 및 4b도와 같이, 구동소자가 형성된 반도체 기판(11)의 범프(15)를 접착물질(18)이 도포 또는 접착된 액정기판(20)에 형성된 페드(19)에 맞추어 가압 가열하여 실장할 때, 접착물질(18)이 흘러 범프(15)사이에 도전볼(17)이 밀집되어 다수개의 도전볼(17)이 서로 접촉 연결되어 두 범프(15)의 측면을 접촉연결하더라도 범프 측면에 절연막(16)이 형성되어 있으므로 두 범프는 서로 전기적으로 절연상태를 유지할 수 있다.

제4b도의 경우, 실장시에 접착물질 내의 도전볼이 범프(15)의 상부에 형성된 절연막(16)내부로 침투되어, Au범프와 박막 트랜지스터 기판(20)상의 페드(19)를 서로 연결시킨다.

한편, 위에서 설명한 바와 같이, 본 발명의 반도체 기판 범프는 본 명세서에서 주로 설명한 액정기판의 구동소자 실장시외에 반도체 칩 페키지에도 적용할 수 있다.

따라서, 파인 피치(fine pitch)구조의 구동소자에의 적용시에도 전기적 단락등의 문제점을 해결할 수 있으며. 부수적으로 제4a도에서와 같이, 제3d도와 같은 구조를 취할 경우, 범프상면의 접촉 영역(A)을 정의하면서 상면 가장 영역에 절연막이 올타리 형상으로 남아 있어서, 분당시 접착물질의 도전성 볼이 접착물질로 같이 흘러내리는 현상을 방지할 수 있어 많은 도전볼이 범프 상면에 남게 되므로, 콘택 저항을 낮출 수 있는 효과도 있다.

(57) 청구의 범위

청구항 1

반도체기판 위에 형성된 제1페드와, 상기 제1페드 상에 개구부를 가지는 보호막과, 상기 제1페드 위에 형성된 확산방지층과, 상기 확산방지층 상에 형성된 범프와, 상기 보호막과 접하고 상기 범프의 측면과 상부표면의 적어도 일부분에 형성된 절연막과, 상기 범프상측 표면에 분포하는 도전입자와, 상기 도전입자를 통해 상기 범프와 전기적으로 접속되는 제2페드로 구성됨을 특징으로 하는 반도체 범프의 본딩 구조.

청구항 2

제1항에 있어서, 상기 절연막은 폴리머, 실리콘 질화막 중 하나인 것을 특징으로 하는 반도체 범프의 본딩 구조.

청구항 3

반도체 기판 상에 패드를 형성하는 단계와, 상기 패드상에 개구부를 가지는 보호막을 형성하는 단계와, 상기 개구부의 패드와 상기 보호막 상에 확산방지층을 형성하는 단계와, 상기 개구부 상의 확산 방지층 상에 범프를 형성하는 단계와, 상기 범프하부에 남도록 상기 확산방지층을 부분적으로 제거하는 단계와, 상기 보호막과 접하도록 상기 범프의 측면과 상부표면의 적어도 일부분에 절연막을 형성하는 단계와, 이방성 도전필름을 이용하여 상기 범프를 외부패드와 전기적으로 접속하는 단계를 포함하는 것을 특징으로 하는 반도체 범프의 본딩 방법.

청구항 4

제3항에 있어서, 상기 절연막은 화학기상증착법(CVD), 물리기상증착법(PVD) 또는 코팅(coating)중 하나의 방법을 선택하여 적용시키는 것을 특징으로 반도체 범프의 본딩 방법.

청구항 5

제3항에 있어서, 상기 절연막의 적층은 폴리머, 실리콘 질화막 중 하나를 선택하여 적층하는 것을 특징으로 하는 반도체 범프의 본딩 방법.

청구항 6

제1항에 있어서, 상기 절연막은 상기 범프상부표면에 전체적으로 도포되고, 상기 도전입자는 상기 절연막에 침투되어 구성됨을 특징으로 하는 반도체 범프의 본딩구조.

청구항 7

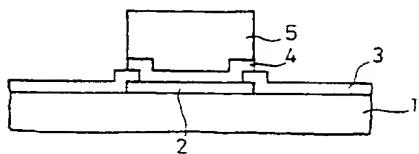
제1항에 있어서, 상기 절연막은 상기 범프상부표면의 주변부에 도포되어 구성됨을 특징으로 하는 반도체 범프의 본딩구조.

청구항 8

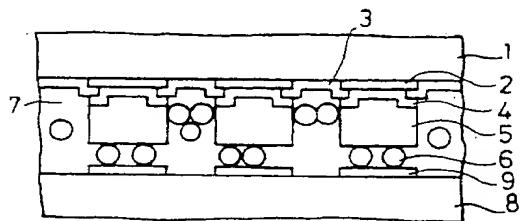
제1항에 있어서, 상기 제2페드는 액정기판에 형성됨을 특징으로 하는 반도체 범프의 본딩구조.

도면

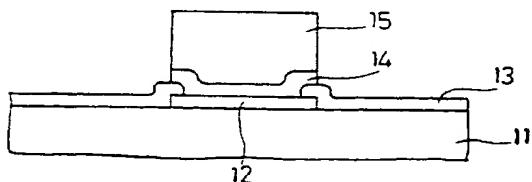
도면1



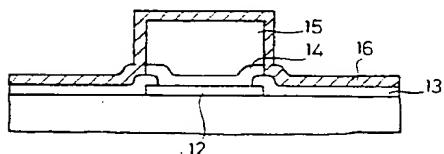
도면2



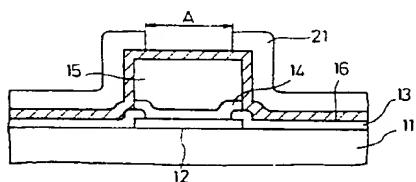
도면3a



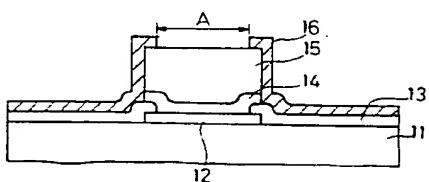
도면3b



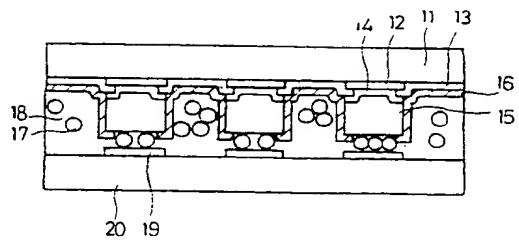
도면3c



도면3d



도면4a



도면4b

